

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000164728 A

(43) Date of publication of application: 16.06.00

(51) Int. Cl. H01L 21/8234  
 H01L 27/088  
 H01L 21/3065  
 H01L 29/78

(21) Application number: 10338283

(22) Date of filing: 30.11.98

(71) Applicant: MATSUSHITA ELECTRONICS  
 INDUSTRY CORP

(72) Inventor: KUBOTA MASAHIRO

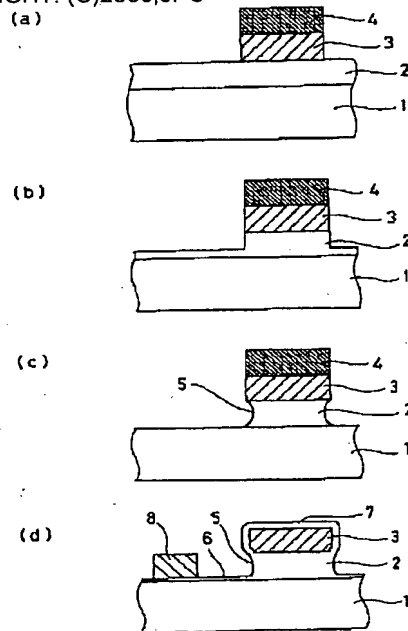
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent the breakdown strength of a high-breakdown voltage gate oxide film from being reduced due to the residues of a conductive material contained in a gate electrode at the edge of a high withstand voltage gate electrode in a semiconductor device, having both of a high-breakdown voltage FET and a low-voltage FET on the same semiconductor chip.

**SOLUTION:** First, a high-breakdown voltage gate oxide film 2 is etched with an anisotropic wet etchant using a high-breakdown voltage gate electrode 3 as a mask, and then is etched with an isotropic etchant. Thereby, the amount of side etchings is decreased and thereafter, a silicon film is deposited and generation of the residues of the silicon film on a side etching part 5 is eliminated by an anisotropic etching at the formation of a low-breakdown voltage gate electrode 8. Accordingly, the breakdown strength of the film 2 of the high-breakdown voltage FET can be prevented from being extremely reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-164728  
(P2000-164728A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	フィコード (参考)
H 0 1 L	21/8234	H 0 1 L 27/08	1 0 2 A 5 F 0 0 4
	27/088	21/302	J 5 F 0 4 0
	21/3065	29/78	3 0 1 G 5 F 0 4 8
	29/78		

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平10-338283

(22) 出願日 平成10年11月30日 (1998. 11. 30)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 久保田 真啓

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

F ターム (参考) 5F004 AA06 AA09 DB02 DB03 EA03

EA10 EA29 EB02 FA01 FA08

5F040 DA19 DB01 EC04 EC07 ED03

FC04 FC21

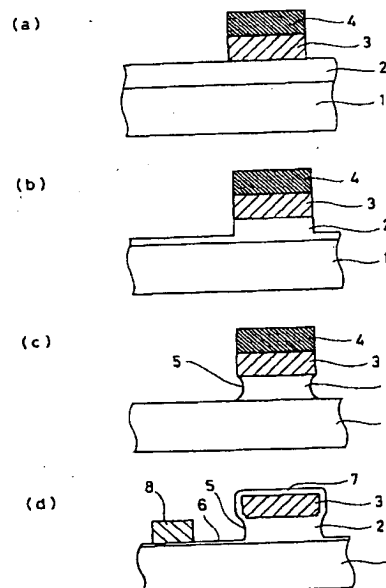
5F048 AC01 BA01 BB04 BF03

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 同一の半導体チップ上に高耐圧FETと低電圧FETの両方を有する半導体装置において高耐圧部ゲート電極のエッジ部でゲート電極の導電物質残りによって高耐圧ゲート酸化膜の破壊耐圧が低下するのを防止する。

【解決手段】 高耐圧部ゲート電極3をマスクとして高耐圧部ゲート酸化膜2を最初は異方性、次いで等方性ウエットエッチでエッチングする。これによってサイドエッチ量が減少し、その後シリコン膜を堆積して低電圧部のゲート電極8を形成するときの異方性エッチングでサイドエッチ部5にシリコン膜の残留物が生じることがなくなる。従って、高耐圧FETのゲート酸化膜2の耐圧が極端に低下することが防止できる。



## 【特許請求の範囲】

【請求項1】半導体基板に形成された第1の絶縁膜の上に第1の電極を形成する工程と、

第1の電極をマスクとして第1の絶縁膜を一部を残して選択的に異方性エッチングする工程と、

残された一部の第1の絶縁膜を等方性エッチングして半導体基板の表面を露出する工程と、

半導体基板の表面を酸化して第1の絶縁膜よりも薄い第2の絶縁膜を少なくとも前記露出した半導体基板の表面に形成する工程と、

全面に導電膜を形成する工程と、

前記導電膜を選択的に除去して第2の電極を形成する工程とを含む半導体装置の製造方法。

【請求項2】半導体基板に形成された第1の絶縁膜の上に第1の電極を形成する工程と、

第1の電極をマスクとして第1の絶縁膜を選択的にエッチングする工程と、

第1の電極を含む前記半導体基板の全面を酸化して第2の絶縁膜を第1の電極の表面に形成することによって第1の電極エッジ部のうち第1の絶縁膜の選択的エッチングで生じたサイドエッチ部分にも酸化膜を形成するとともに、第3の絶縁膜を半導体基板の表面領域に形成する工程と、

第3の絶縁膜を除去して半導体基板の表面を露出する工程と、

半導体基板の表面を酸化して第1の絶縁膜よりも薄い第4の絶縁膜を少なくとも前記露出した半導体基板の表面に形成する工程と、

全面に導電膜を形成する工程と、

前記導電膜を選択的に除去して第2の電極を形成する工程とを含み、第2の絶縁膜の膜厚と第3の絶縁膜の膜厚との和が第1の絶縁膜の膜厚以上である半導体装置の製造方法。

【請求項3】第1の絶縁膜および第1の電極がそれぞれ高耐圧FETのゲート酸化膜および高耐圧FETのゲート電極であり、

第2の絶縁膜および第2の電極がそれぞれ低電圧FETのゲート酸化膜および低電圧FETのゲート電極である請求項1記載の半導体装置の製造方法。

【請求項4】第1の絶縁膜および第1の電極がそれぞれ高耐圧FETのゲート酸化膜および高耐圧FETのゲート電極であり、

第4の絶縁膜および第2の電極がそれぞれ低電圧FETのゲート酸化膜および低電圧FETのゲート電極である請求項2記載の半導体装置の製造方法。

【請求項5】半導体基板に形成された第1の絶縁膜の上に第1の電極を形成する工程と、

第1の電極をマスクとして第1の絶縁膜を一部を残して選択的に異方性エッチングする工程と、

残された一部の第1の絶縁膜を等方性エッチングして半

導体基板の表面を露出する工程と、

第1の電極を含む前記半導体基板の全面を酸化して第2の絶縁膜を第1の電極の表面に形成して第1の電極のエッジ部のサイドエッチ部分にも酸化膜を形成するとともに、第3の絶縁膜を半導体基板の表面領域に形成する工程と、

第3の絶縁膜を除去して半導体基板の表面を露出する工程と、

半導体基板の表面を酸化して第1の絶縁膜よりも薄い第4の絶縁膜を少なくとも前記露出した半導体基板の表面に形成する工程と、

全面に導電膜を形成する工程と、

前記導電膜を選択的に除去して第2の電極を形成する工程とを含み、第2の絶縁膜の膜厚と第3の絶縁膜の膜厚との和が第1の絶縁膜の膜厚以上である半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法、特に同一半導体基板上に低電圧で駆動されるMOS型FETと高耐圧のMOS型FETとが同時に形成される半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】半導体装置においては、その高集積化及び高速化とともにその用途の多様化が進んでいる。そして同一の半導体基板またはチップ上に一般論理回路を構成するための、3.3ボルトあるいは5ボルト程度の低電圧駆動MOS型FETと数十～最高で数百ボルトの高電圧に対応する高耐圧MOS型FETとを併設する半導体装置が実現されている。

【0003】例えば、液晶パネルの表示に用いられる半導体装置（液晶ドライバー）では、半導体チップから外部への出力端子に接続する部分に高耐圧MOS型FETが用いられ、この高耐圧MOS型FETを制御するための集積回路が低電圧動作のMOS型FETで構成されている。

【0004】この構造を実現するため一般に図3に示す方法が採られている。まず、図3(a)に示すように半導体基板11の上に高耐圧MOS型FETの厚いゲート絶縁膜としてのゲート酸化膜12と、その上に高耐圧FETのゲート電極13を形成する。

【0005】次に、図3(b)に示すように高耐圧部ゲート電極13をマスクとして等方性エッチングであるウエットエッチングで高耐圧部のゲート酸化膜12を取り除く。この時、エッチングが等方的に進むため高耐圧部のゲート電極13のエッジ部において高耐圧部ゲート酸化膜12がサイドエッチされサイドエッチ部14ができる。

【0006】次に、図3(c)に示すように低圧部ゲート酸化膜15を熱酸化により形成する。さらに、図3

(d)に示すようにシリコン膜を全面に堆積し、選択的にエッチングして低電圧部FETのゲート電極17を形成する。

【0007】

【発明の解決しようとする課題】しかしながら、図3(d)の工程においては、低電圧部FETのゲート電極17は異方性の強いドライエッチングで形成されるので、半導体基板11の場所によっては、サイドエッチ部14にゲート電極材料であるシリコンが完全に除去できずに残留することが多い。18は導電性の残留物を表している。

【0008】このように高耐圧FETのゲート電極13のエッジ部にシリコンのような導電性の残留物18があると、高耐圧FETのゲート電極13のエッジ部のゲート酸化膜12が薄くなったのと同じ状態になりゲート電極13の耐圧が通常に比べ著しく低くなる。

【0009】図3(b)の工程で生じたサイドエッチ部14は、(c)の工程で行われるゲート酸化によってゲート電極13のエッジ部表面から下方に成長する酸化膜16のために、奥行きは変わらないが高さが低くなるので、ますます細い隙間状になってくる。したがって、従来の製造方法では導電性の残留物18の発生は避け難いものであった。

【0010】本発明は製造工程で生じていた導電性物質の残留を防止し、高耐圧部に対応する厚いゲート絶縁膜の耐圧の向上が図れる半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、同一の半導体基板に厚いゲート絶縁膜を有する高耐圧FETと薄いゲート絶縁膜を有する低電圧FETの両方を有する半導体装置において、前記の厚いゲート絶縁膜のサイドエッチ部を低減してシリコン膜などの導電性物質が残留することを防止することを特徴とする。

【0012】この本発明によると、製造工程で生じていた導電性物質の残留を防止し、高耐圧部に対応する厚いゲート絶縁膜の耐圧の向上が図れる半導体装置が得られる。

【0013】

【発明の実施の形態】請求項1記載の半導体装置の製造方法は、半導体基板に形成された第1の絶縁膜の上に第1の電極を形成する工程と、第1の電極をマスクとして第1の絶縁膜を一部を残して選択的に異方性エッチングする工程と、残された一部の第1の絶縁膜を等方性エッチングして半導体基板の表面を露出する工程と、半導体基板の表面を酸化して第1の絶縁膜よりも薄い第2の絶縁膜を少なくとも前記露出した半導体基板の表面に形成する工程と、全面に導電膜を形成する工程と、前記導電膜を選択的に除去して第2の電極を形成する工程とを含

むことを特徴とする。

【0014】この第1の製造方法では、第1の絶縁膜を一部を残して選択的に異方性エッチングし、残された一部の第1の酸化膜を等方性エッチングすることによって、従来のような全部を等方性エッチングする場合と比べて第1の電極（高耐圧FETのゲート電極）エッジにおける第1の絶縁膜（高耐圧FETのゲート絶縁膜）のサイドエッチ量を減少させることができ、第2の電極（低電圧FETのゲート電極）を構成する導電膜の残留物を低減できる。

【0015】請求項2記載の半導体装置の製造方法は、半導体基板に形成された第1の絶縁膜の上に第1の電極を形成する工程と、第1の電極をマスクとして第1の絶縁膜を選択的にエッチングする工程と、第1の電極を含む前記半導体基板の全面を酸化して第2の絶縁膜を第1の電極の表面に形成することによって第1の電極エッジ部のうち第1の絶縁膜の選択的エッチングで生じたサイドエッチ部分にも酸化膜を形成するとともに、第3の絶縁膜を半導体基板の表面領域に形成する工程と、第3の絶縁膜を除去して半導体基板の表面を露出する工程と、半導体基板の表面を酸化して第1の絶縁膜よりも薄い第4の絶縁膜を少なくとも前記露出した半導体基板の表面に形成する工程と、全面に導電膜を形成する工程と、記導電膜を選択的に除去して第2の電極を形成する工程とを含み、第2の絶縁膜の膜厚と第3の絶縁膜の膜厚との和が第1の絶縁膜の膜厚以上であることを特徴とする。

【0016】この第2の製造方法では、第2の絶縁膜の膜厚と第3の絶縁膜の膜厚との和が第1の絶縁膜の膜厚以上になるように第1の電極を含む半導体基板全面を酸化することによって、第1の絶縁膜（高耐圧FETのゲート絶縁膜）のサイドエッチ部をほぼ埋められ、これをなくすることができ、第2の電極（低電圧FETのゲート電極）を構成する導電膜の残留物をなくすることができる。

【0017】請求項3記載の半導体装置の製造方法は、請求項1において、第1の絶縁膜および第1の電極がそれぞれ高耐圧FETのゲート酸化膜および高耐圧FETのゲート電極であり、第2の絶縁膜および第2の電極がそれぞれ低電圧FETのゲート酸化膜および低電圧FETのゲート電極であることを特徴とする。

【0018】請求項4記載の半導体装置の製造方法は、請求項2において、第1の絶縁膜および第1の電極がそれぞれ高耐圧FETのゲート酸化膜および高耐圧FETのゲート電極であり、第4の絶縁膜および第2の電極がそれぞれ低電圧FETのゲート酸化膜および低電圧FETのゲート電極であることを特徴とする。

【0019】請求項5記載の半導体装置の製造方法は、半導体基板に形成された第1の絶縁膜の上に第1の電極を形成する工程と、第1の電極をマスクとして第1の絶縁膜を一部を残して選択的に異方性エッチングする工程

と、残された一部の第1の絶縁膜を等方性エッチングして半導体基板の表面を露出する工程と、第1の電極を含む前記半導体基板の全面を酸化して第2の絶縁膜を第1の電極の表面に形成して第1の電極のエッジ部のサイドエッチ部分にも酸化膜を形成するとともに、第3の絶縁膜を半導体基板の表面領域に形成する工程と、第3の絶縁膜を除去して半導体基板の表面を露出する工程と、半導体基板の表面を酸化して第1の絶縁膜よりも薄い第4の絶縁膜を少なくとも前記露出した半導体基板の表面に形成する工程と、全面に導電膜を形成する工程と、前記導電膜を選択的に除去して第2の電極を形成する工程とを含み、第2の絶縁膜の膜厚と第3の絶縁膜の膜厚との和が第1の絶縁膜の膜厚以上であることを特徴とする。

【0020】以下、本発明の実施の形態を図1と図2に基づいて説明する。

(実施の形態1) 図1は(実施の形態1)の半導体装置の製造方法を示す。

【0021】低電圧FETと高耐圧FETとを同時に搭載した半導体装置を製造するに際して、まず、図1

(a)に示すように、半導体基板1の上に高耐圧FETの厚いゲート酸化膜2を形成し、さらにその上に高耐圧FETのゲート電極3を形成する。ここで高耐圧FETのゲート電極3のパターニングの際に用いた感光剤4は残したままにしておく。

【0022】次に、図1(b)に示すように感光剤4およびゲート電極3をマスクとして異方性のドライエッチングでゲート酸化膜2を一部を残してエッチングにより取り除き、さらに、図1(c)に示すように残りの膜を等方性のウェットエッチングにより完全に除去し、半導体基板1の表面を露出させる。

【0023】ここでこの露出面は後に低電圧FETのゲート酸化膜を形成すべき領域であり、上記のドライエッチングによる基板表面への損傷を防ぎ良好なFET特性を確保するために、最後のエッチングにはウェットエッチングを用いるものである。高耐圧FETのゲート酸化膜は厚いので最初のドライエッチング量はゲート酸化膜厚の約4/5程度になるように制御することができる。従って残りのゲート酸化膜のウェットエッチはわずかに行うだけでよくなるので、ゲート電極3のエッジ部のサイドエッチ部5は従来の製造方法でできるサイドエッチ部に比べ、横方向の入り込みがきわめて小さく、ゲート酸化膜2の厚さの約1/5にできた。

【0024】次に、熱酸化処理してゲート酸化膜2よりも薄いゲート酸化膜6を図1(d)に示すように半導体基板1の表面に成長させ、次いで基板全面に不純物を含ませたシリコン膜を堆積し、これを異方性ドライエッチングにより選択的に除去して低電圧FETのゲート電極8を形成する。

【0025】この時のゲート酸化膜6の形成時には、ゲート電極3のエッジ部表面を含めて酸化膜7が成長し、

サイドエッチ部5の奥行きが工程(c)の時よりは若干大きくなるが、従来の技術で出来るものに比べ遙かに小さくなっている。

【0026】これにより、低電圧FET部のゲート電極8を形成する導体のシリコンが異方性エッチングによってもサイドエッチ部5に入り込み残留することがなくなり、高耐圧FET部のゲート酸化膜2の耐圧が劣化しない。

【0027】(実施の形態2) 図2は(実施の形態2)の半導体装置の製造方法を示す。まず、図2(a)に示すように半導体基板1の上に高耐圧FET部の厚いゲート酸化膜2を第1の絶縁膜として成長させ、その上に高耐圧FETのゲート電極3を第1の電極として形成する。ゲート電極3はリンなどの不純物を含むポリシリコン等の導体で形成される。

【0028】次に、図2(b)に示すように高耐圧FETのゲート電極3をマスクとして等方性のウェットエッチングでゲート酸化膜2をエッチングし、半導体基板1の表面を露出させる。この時、従来同様ゲート電極3のエッジ部のゲート酸化膜にサイドエッチ部5ができる。

【0029】次に、図2(c)に示すように熱酸化を用いて全面に酸化膜を形成するのであるが、ゲート電極3を構成するポリシリコンには $1.0 \times 10^{20} \sim 1.0 \times 10^{21} / \text{cm}^2$ のリンなどの不純物を含むため、その表面では増速酸化が起こり、シリコン基板1の平坦部に成長する熱酸化膜10と比較して約3倍の膜厚の酸化膜9(第2の絶縁膜)が成長することになる。この工程では、半導体基板1の平坦部でゲート酸化膜2の厚さの約1/4以上の酸化膜10を上方へ成長させる。そうするとゲート電極エッジ部、すなわちサイドエッチ部5において概ね下方へ、ゲート酸化膜2の膜厚の約3/4以上の厚さの酸化膜9が成長する。

【0030】このようにして、酸化膜9と酸化膜10との和がゲート酸化膜2の膜厚以上になるような条件で酸化するので、最初のサイドエッチ部5は両方向へ成長した酸化膜によってかなりの部分が埋められ、その奥行きがきわめて小さいサイドエッチ部5Aに変化する。

【0031】この状態で図2(d)に示すように、等方性のウェットエッチングで全面エッチを行い、半導体基板1の平坦部の酸化膜10を除去し、半導体基板1の表面を露出させる。

【0032】次に、図2(e)に示すように第4の絶縁膜として低電圧FETのゲート酸化膜6Aを成長させ、さらにシリコン膜を全面に堆積した後、選択的にエッチングして低電圧FETのゲート電極8を形成する。

【0033】図2(d)において、半導体基板1の平坦部の酸化膜10の膜厚はゲート酸化膜2の約1/4程度と薄く、これをウェットエッチングで除去してもゲート酸化膜2のサイドエッチを小さく抑えることができる。そして高耐圧FETのゲート電極部の側壁の酸化膜を等

方性のウェットエッチングで行ったため、横方向に一様にエッチングされるので奥行きに非常に小さいサイドエッチ部5Aの形状がゲート電極8のエッチング時も保持される。

【0034】したがって、サイドエッチ部5Aにはゲート電極8を構成するシリコン膜が入り込んで残るのをなくすることができ、従来のものに比べ高耐压部ゲート酸化膜2の耐压が大幅に向上する。

【0035】また、図2(c)(d)の工程一回では十分小さなサイドエッチ部にならない場合にはこの方法を繰り返し使用してもよい。さらにまた、図2(b)の工程は従来通りの工程であるが、この部分に図1の(b)(c)の工程を適用することによってさらに改善され、ほとんどサイドエッチ部が生じないようにすることができるものである。

【0036】

【発明の効果】以上のように、本発明の半導体装置の製造方法は、同一半導体基板上に厚いゲート酸化膜を有する高耐压FETと薄いゲート酸化膜を有する低電圧FETの両方を有する半導体装置において、従来の製造工程で生じていたシリコン膜などの導電性物質が残留するこ

とを防止し、高耐压部に対応する厚いゲート酸化膜の耐压向上が図れるという効果を持つ。

【図面の簡単な説明】

【図1】本発明の(実施の形態1)の半導体装置の製造方法による製造工程図

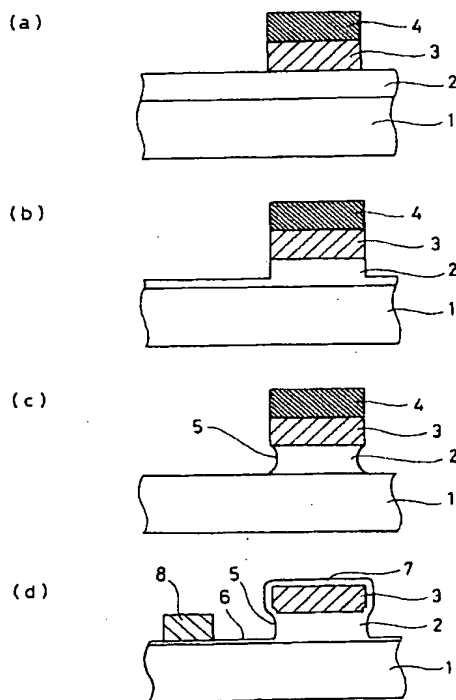
【図2】本発明の(実施の形態2)の半導体装置の製造方法による製造工程図

【図3】従来の半導体装置の製造方法による製造工程図

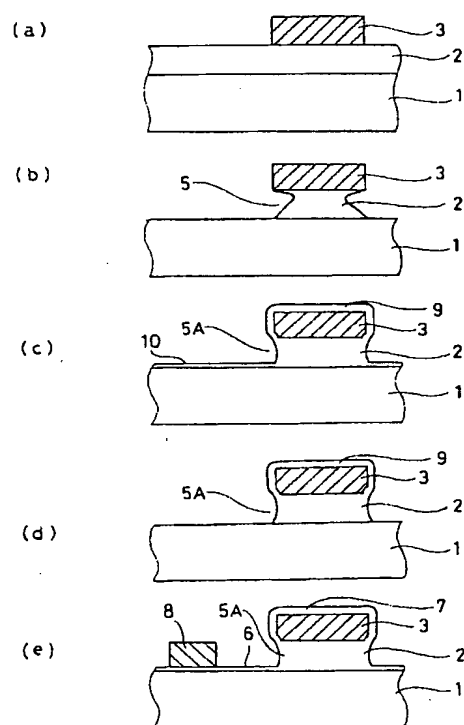
【符号の説明】

- |       |                       |
|-------|-----------------------|
| 1     | 半導体基板                 |
| 2     | 高耐压FETのゲート酸化膜(第1の絶縁膜) |
| 3     | 高耐压FETのゲート電極(第1の電極)   |
| 4     | 感光剤                   |
| 5, 5A | サイドエッチ部               |
| 6     | 低電圧FETのゲート酸化膜         |
| 6A    | 低電圧FETのゲート酸化膜(第4の絶縁膜) |
| 7     | 酸化膜                   |
| 8     | 低電圧FETのゲート電極(第2の電極)   |
| 9     | 酸化膜(第2の絶縁膜)           |
| 10    | 熱酸化膜(第3の絶縁膜)          |

【図1】



【図2】



【図3】

